

SLIP PHASE CONTROLLED PLL

Patent Number: JP3135112
Publication date: 1991-06-10
Inventor(s): YAMASHITA KAZUO; others: 02
Applicant(s): JAPAN RADIO CO LTD
Requested Patent: ☐ JP3135112
Application Number: JP19890272640 19891019
Priority Number(s):
IPC Classification: H03L7/183; H03L7/197
EC Classification:
Equivalents: JP2892709B2

Abstract

PURPOSE: To decrease the circuit scale and the scale of signal processing by providing a D/A conversion means applying D/A conversion of a prescribed setting number in interlocking with a variable frequency divider means and sending a pulse width conversion signal in response to a comparison value signal.

CONSTITUTION: An D/A conversion main counter 40 receiving a start signal ST1 brings a pulse width conversion signal DAP to an H level while applying count of $(q+2M)$ divided by a D/A conversion setting code (q) to an intermediate frequency division clock CK and outputs a start signal ST2 after the end of count by the D/A conversion setting code (q). An D/A conversion swallow counter 38 receiving the start signal ST1 brings an output signal MOD2 to an H level while applying count of a D/A conversion setting code (p) to the intermediate frequency division clock CK and outputs a temporary stop signal ST0 after the end of the count. Thus, the processing of the D/A conversion whose setting number is 0 to $2^{<2>M}-1$ or over is implemented by the pulse width modulation in interlocking with a two-coefficient prescaler 32 of a variable frequency divider means, a swallow counter 34 and a main counter 36.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-135112

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月10日

H 03 L 7/183
7/197

8731-5J H 03 L 7/18
8731-5J

B
A

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 スリッパ位相制御PLL

⑯ 特 願 平1-272640

⑰ 出 願 平1(1989)10月19日

⑱ 発 明 者 山 下 和 郎 東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内
⑲ 発 明 者 井 上 昭 治 東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内
⑲ 発 明 者 江 川 政 彦 東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内
⑳ 出 願 人 日本無線株式会社 東京都三鷹市下連雀5丁目1番1号
㉑ 代 理 人 弁理士 千葉 剛宏

明 細 書

1. 発明の名称

スリッパ位相制御PLL

2. 特許請求の範囲

(1) 所定周波数信号を発振する電圧制御発振器と、

前記所定周波数信号が供給されて、分周波数信号を送出する2係数プリスケアラ、スワローカウンタ、メインカウンタを含む2進数の可変分周手段と、

前記分周波数信号と位相比較を行い、且つ導出される比較値信号を積分せしめて、前記電圧制御発振器に印加せしめる位相比較/積分手段と、

D/A変換スワローカウンタおよびD/A変換カウンタを有し、可変分周手段と連動して設定数0から2^N-1以上のD/A変換をパルス幅変調により行うとともに、前記比較値信号に

対応したパルス幅変換信号を導出するD/A変換スワローカウンタおよびD/A変換カウンタを含むD/A変換手段と、

を備えて構成されることを特徴とするスリッパ位相制御PLL。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、無線送受信装置等における高周波数の局発発振信号、送信発振信号を連続間隔(ステップ)等で生成するために好適なスリッパ位相制御PLLに関する。

[従来の技術]

無線通信装置等に用いられる高精度の周波数制御発振手段として、アナログ、デジタル式のPLL(位相差制御発振器)が多用されている。

この種の高C/N比(搬送波信号/雑音)の出力信号が得られるPLLの好例として、当出

願人に係るスリップ位相制御PLL(特開昭63-26589号公報参照)を挙げることができる。

このスリップ位相制御PLLはVCO(電圧制御発振器)、位相比較器、低域フィルタ(LPF)、且つパルススワロー型の2係数プリスケラ、スワローカウンタ、メインカウンタからなる可変分周回路(プログラマブル・デバイダ)の慣用手段を有している。

さらに、周期T毎に可変分周数を $(n+q)$ ($q \neq 0$ の整数)分周するとともに、周期Tの鋸歯状波を発生する鋸歯状波発生器を備えている。そして、位相比較器の出力のスリップ位相波形を打ち消すように鋸歯状波発生器の出力信号が、低域フィルタで加算または減算される。

このような構成においては、VCOのバリキャップ等に印加される制御電圧、特に、低電圧部にリップルが生起せず、NF(ノイズフキユア)が向上し、高C/N比の出力信号がVCOから得られる。

そして、可変分周回路では2係数プリスケ

ラの分周数が 2^m と 2^m+1 において、スワローカウンタは設定数mに対してmカウントの動作を行い、さらに、メインカウンタでは設定数nに対してn分周の動作を行う。メインカウンタでnカウントが行われる際のmカウント期間は2係数プリスケラにおいては 2^m+1 分周の動作を行い、残りの $n-m$ カウント期間に2係数プリスケラでは 2^m 分周の動作が行われる。

ここで総合分周数qは

$$q = m \times (2^m + 1) + (n - m) \times 2^m \\ = m + 2^m \times n \quad \dots(1)$$

で示される。

[発明が解決しようとする課題]

上記の従来の技術に係るスリップ位相制御PLLは高精度の発振周波数制御が可能であるが、比較的構成が煩瑣である。

ここで回路規模の低減を考慮した場合、LP

Fに供給されるスリップ位相波形の打ち消しのための信号の生成に、前記設定数mが0から 2^m-1 まで変化することに着目し、2係数プリスケラの分周数が 2^m の一定値となる区間の2係数プリスケラの出力パルスをカウントするD/A変換手段の付加構成が考えられる。

然しながら、前記D/A変換手段におけるD/A変換の範囲は0から $n-2^m$ に限定されるものであり、多桁のD/A変換手段は実現できない。このため高精度の周波数制御とともに回路規模、信号処理規模の低減の要請から、その改善が課題とされていた。

本発明に係る課題に鑑みてなされたものであって、比較的簡易な回路構成のもとに、回路規模、信号処理規模が低減され、且つ高精度の発振周波数制御が可能とされるスリップ位相制御PLLを提供することを目的とする。

[課題を解決するための手段]

前記の課題を解決するために、本発明のスリ

ップ位相制御PLLは、

所定周波数信号を発振する電圧制御発振器と、

前記所定周波数信号が供給されて、分周波数信号を送出する2係数プリスケラ、スワローカウンタ、メインカウンタを含む2進数の可変分周手段と、

前記分周波数信号と位相比較を行い、且つ導出される比較値信号を積分せしめて、前記電圧制御発振器に印加せしめる位相比較/積分手段と、

D/A変換スワローカウンタおよびD/A変換カウンタを有し、可変分周手段と連動して設定数0から 2^m-1 以上のD/A変換をパルス幅変調により行うとともに、前記比較値信号に対応したパルス幅変換信号を導出するD/A変換スワローカウンタおよびD/A変換カウンタを含むD/A変換手段と、

を備えて構成されることを特徴とする。

[作用]

上記のように構成される本発明のスリップ位相制御PLLにおいては、2係数プリスケアラの 2^m 分周と $2^m + 1$ 分周の動作のもとにパルスカウンタD/A変換手段において、設定数0から $2^{2^m} - 1$ 以上のD/A変換の処理が行われる。

[実施例]

次に、本発明に係るスリップ位相制御PLLの一実施例を添付図面を参照しながら以下詳細に説明する。

第1図は実施例の構成を示すブロック図、第2図は第1図に示される実施例の可変分周部の詳細な構成を示すブロック図である。

第1図に示される例は、基準発振器/分割器12と、水晶発振子12xと、位相比較器14と、低域フィルタ16と、VCO18と、可変分周部22とを有している。

これらの構成において、VCO18のブリン動作（周波数一致）からロックイン動作（同

期）のもとに出力信号F_oが導出される。

この動作を説明する。基準発振器/分割器12から送出される比較周波数信号（基準信号）F_oが位相比較器14に供給される。

一方、VCO18から被分周信号F_cが可変分周部22に供給され、比較周波数信号F_oと等しい分周波数の分周信号F_oを位相比較器14に創出する。

位相比較器14から送出される位相比較信号S_pが低域フィルタ16に供給され、ここで積分された制御信号S_cがVCO18に印加される。この場合、可変分周部22からは、位相比較信号S_pの位相スリップ量、位相シフト量に対応したパルス幅変換信号D_oが送出される。ここでパルス幅変換信号D_oと位相比較信号S_pは打ち消し合うように低域フィルタ16に供給される。これにより、リップルの少ない直流電圧（電流）の制御信号S_cが送出される。

このような、基本的な動作等は従来周知（前記特開昭63-26589号公報等）であり、その詳

細な説明は省略する。

次に、本発明の要部である上記の可変分周部22を説明する。

可変分周部22は、被分周信号F_cが供給され、その分周比を切り換える2係数プリスケアラ32と、スワローカウンタ34と、メインカウンタ36とを有し、さらにD/A変換スワローカウンタ38と、D/A変換メインカウンタ40と、ゲート回路42とを有している。

次に、可変分周部22の分周信号F_oおよびパルス幅変換信号D_oの導出の動作について説明する。

なお、第2図において、符号C_oは中間分周クロック、S_{ri}は本回路のスタート信号であり、S_{rs}およびS_{ro}はスワローカウンタ34のスタート信号および一次停止信号である。さらにM_{oo}は2係数プリスケアラ32の分周制御信号であり、M_{oo}はスワローカウンタ34の出力信号、M_{oo}はD/A変換スワローカウンタ38の出力信号、F_oは分周信号、D_oはパルス幅変換信号であ

る。またm、nは分周数設定コード（数）、p、qはD/A変換設定コード（数）である。

スワローカウンタ34では分周数設定コードmに対し $m + 2^m$ カウントを行う。メインカウンタ36では分周数設定コードnに対して $n - 1$ カウントを行う。D/A変換スワローカウンタ38ではD/A変換設定コードpに対してD/A変換設定コードp分のカウントを行い、さらにD/A変換メインカウンタ40ではD/A変換設定コードqに対して $q + 2^m$ のカウントと夫々中間分周クロックC_oのカウント動作を行う。

2係数プリスケアラ32では分周制御信号M_{oo}がH（ハイ）レベルの区間に $2^m + 1$ 分周の動作が行われる。分周制御信号M_{oo}がL（ロー）レベルの区間に 2^m 分周の動作が行われ、被分周信号F_cを分周して、中間分周クロックC_oを得る。

メインカウンタ36では中間分周クロックC_oを $n - 1$ 分周して分周信号F_oを得るとともに、 $n - 1$ 分周する毎にスタート信号S_{ri}を送出す

る。

D/A変換メインカウンタ40ではスタート信号 S_{r1} が供給されて、中間分周クロック C_e をD/A変換設定コード q 分($q+2^n$)のカウンタを行う区間にパルス幅変換信号 D_{Ap} をHレベルとし、D/A変換設定コード q 分のカウンタ終了後にスタート信号 S_{r2} を送出する。そして、次のスタート信号 S_{r1} が入来するまでパルス幅変換信号 D_{Ap} をLレベルに維持する。

D/A変換スローカウンタ38ではスタート信号 S_{r1} が供給されて中間分周クロック C_e をD/A変換設定コード p 分のカウンタする区間に出力信号 M_{00} をHレベルとし、カウンタ終了時に一次停止信号 S_{r0} を発生せしめ、さらに、次のスタート信号 S_{r1} が入来するまで出力信号 M_{00} をLレベルに維持する。

スローカウンタ34ではスタート信号 S_{r1} が供給されると、D/A変換スローカウンタ38が中間分周クロック C_e をD/A変換設定コード p 分のカウンタする区間は、同様にD/A変

換設定コード p 分のカウンタを行い、さらに、一次停止信号 S_{r0} により一旦停止後、スタート信号 S_{r1} が供給されて中間分周クロック C_e の再カウンタを行う。そして残りの $m+2^n-p$ のカウンタが行われる区間の出力信号 M_{00} をHレベルに維持し、さらに次のスタート信号 S_{r1} が入来するまでの間出力信号 M_{00} をLレベルに維持する。

ゲート回路42では出力信号 M_{00} 、 M_{00} が供給される際に、出力信号 M_{00} と M_{00} の何れかがHレベルであるとき分周制御信号 M_{00} をHレベルに形成する。そして出力信号 M_{00} 、 M_{00} の何れもLレベルのときのみ分周制御信号 M_{00} をLレベルに維持する。

従って、このような構成における総合分周数 d は

$$\begin{aligned} d &= (2^n + 1) \times (m + 2^n) + 2^n \\ &\quad \times (n - 1 - (m + 2^n)) \\ &= m + 2^n \times n \end{aligned} \quad \dots(2)$$

で表される。

さらに、パルス幅変換信号 D_{Ap} のパルスカウンタ数 e は

$$\begin{aligned} e &= (2^n + 1) \times p + 2^n \times (q + 2^n - p) \\ &= p + 2^n \times q + 2^{2n} \end{aligned} \quad \dots(3)$$

となり、パルス幅率を w とすると

$$w = \frac{p + 2^n \times q + 2^{2n}}{m + 2^n \times n} \quad \dots(4)$$

なるパルス列が得られ、ここで平均化することにより $p + 2^n \times q + 2^{2n}$ に比例したD/A変換電圧(あるいは電流)、すなわち、パルス変換信号 D_{Ap} が得られる。

ここで、

$$0 \leq p < 2^n \quad 0 \leq m < 2^n \quad q + 2^{n-1} < n \quad \dots(5)$$

なる制限がある。

一例として、 $M=5$ (2係数プリスケラ)の分周数+32、+33)の場合では、D/A変換

設定コード q を5 bit とすると、D/A変換設定コード p も5 bit 設定であるから、

$$0 \leq p + 2^5 \times q < 2^{10} \quad \dots(6)$$

であり、1024ポイント、つまり10bit 精度のD/A変換が可能になる。

このようにして被分周信号 F_c を $(n \cdot 2^n + m)$ 分周している間の時間 T における位相スリップ量、位相シフト量に対応した高精度のD/A変換電圧(あるいは電流)が得られることから、VCO18から高精度の、すなわち、高C/N比、良好なNFの出力信号 F_o が導出される。

[発明の効果]

以上のように、本発明のスリップ位相制御PLLによれば、所定周波数信号を発生する電圧制御発振器と、前記所定周波数信号が供給されて、分周波数信号を送出する2係数プリスケラ、スローカウンタ、メインカウンタを含む

2進数の可変分周手段と、前記分周波数信号と位相比較を行い、且つ導出される比較値信号を積分せしめて、前記電圧制御発振器に印加せしめる位相比較／積分手段と、D/A変換スワローカウンタおよびD/A変換カウンタを有し、可変分周手段と連動して設定数0から 2^m-1 以上のD/A変換をパルス幅変調により行うとともに、前記比較値信号に対応したパルス幅変換信号を導出するD/A変換スワローカウンタおよびD/A変換カウンタを含むD/A変換手段とを備えて構成されることを特徴としている。

これにより、比較的簡易な回路構成のもとに、回路規模、信号処理規模が低減され、且つ高精度の発振周波数制御が可能となる効果を有する。

12…基準発振器／分割器 12a…水晶発振子
14…位相比較器 16…低域フィルタ
18…VCO 22…可変分周回路
32…2係数プリスケアラ
34…スワローカウンタ 36…メインカウンタ
38…D/A変換スワローカウンタ
40…D/A変換メインカウンタ
D₁…パルス幅変換信号 F₀…分周信号
M₀₀…分周制御信号
M₀₀₁、M₀₀₂…出力信号
m、n…分周数設定コード
p、q…D/A変換設定コード
S_{T1}、S_{T2}…スタート信号
S_{T0}…一次停止信号

4. 図面の簡単な説明

第1図は本発明に係るスリップ位相制御PLLの一実施例の構成を示すブロック図、

第2図は第1図に示される実施例の可変分周部の詳細な構成を示すブロック図である。

特許出願人 日本無線株式会社

出願人代理人 弁理士 千葉 剛宏



FIG.1

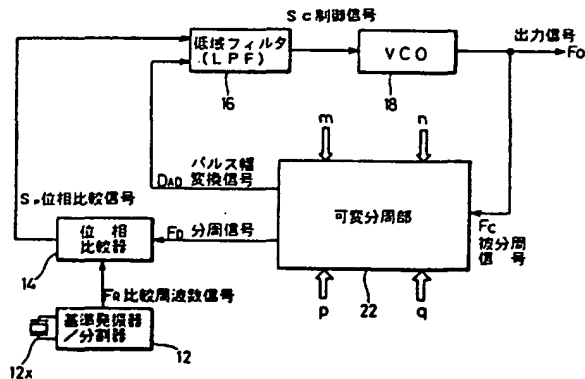


FIG.2

